

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-263678

(43)公開日 平成7年(1995)10月13日

(51)IntCl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78  
21/336  
21/265

H 0 1 L 29/ 78 3 0 1 L  
21/ 265 L

審査請求 未請求 請求項の数6 O L (全 7 頁) 最終頁に続く

(21)出願番号 特願平6-49456

(22)出願日 平成6年(1994)3月18日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 野田 研二

東京都港区芝五丁目7番1号 日本電気株  
式会社内

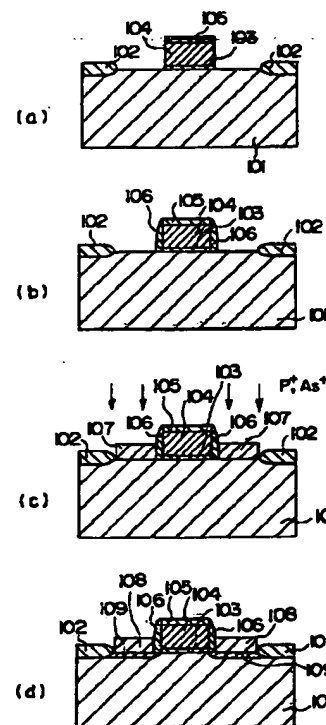
(74)代理人 弁理士 後藤 洋介 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【目的】 短チャネル効果が十分に抑止された半導体装置を提供する。

【構成】 p型シリコン基板101の表面上にゲート絶縁膜103を介して形成されたゲート電極104と、窒素成分を必須成分として含むシリコン材料である窒化シリコンから成りゲート電極104の側面に形成された側壁106と、側壁106の外側のp型シリコン基板101表面上に形成され不純物が注入された後に熱処理されるシリコン層107とを含んでいる。



1

## 【特許請求の範囲】

【請求項 1】 一導電型の半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、絶縁材料から成り前記ゲート電極の側面に形成された側壁と、前記側壁の外側の前記半導体基板の表面上に形成された反対導電型の半導体層とを含む半導体装置において、前記絶縁材料は、窒素成分を必須成分として含むシリコン材料であることを特徴とする半導体装置。

【請求項 2】 一導電型の半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、第 1 の絶縁材料から成り前記ゲート電極の側面に形成された第 1 の側壁と、前記第 1 の側壁の外側の前記半導体基板の表面上に形成された反対導電型の半導体層と、第 2 の絶縁材料から成り前記第 1 の側壁の側面に形成された第 2 の側壁と、少なくとも前記ゲート絶縁膜によって覆われる下部領域に接し、かつ、前記第 2 の側壁によって覆われる下部領域の途中にわたって形成された低濃度不純物領域と、前記低濃度不純物領域に接し、かつ、前記低濃度不純物領域の外側領域に形成され、前記低濃度不純物領域よりも高濃度の不純物を含む高濃度不純物領域とを含む半導体装置において、前記第 1 の絶縁材料は、窒素成分を必須成分として含むシリコン材料であり、前記第 2 の絶縁材料は、酸化シリコンである半導体装置。

【請求項 3】 一導電型の半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、絶縁材料から成り前記ゲート電極の側面に形成された側壁と、前記側壁の外側の前記半導体基板の表面上に形成された反対導電型の半導体層とを含む半導体装置を製造する半導体装置の製造方法において、窒素成分を必須成分として含むシリコン材料を前記絶縁材料として用いて前記側壁を形成する工程と、前記側壁を形成した後、前記半導体基板を真空中で熱処理して前記半導体基板の表面を清浄化する工程と、前記側壁の外側の前記半導体基板の表面上に反対導電型の半導体層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体の製造方法において、前記側壁の外側の前記半導体基板の表面上に反対導電型の半導体層を形成する前記工程は、前記側壁の外側の前記半導体基板の表面上に同一導電型の半導体層および真性半導体層のうちのいずれかの半導体層を形成する前工程と、前記半導体層に不純物を注入して該半導体層を反対導電型とする後工程とから成ることを特徴とする半導体装置の製造方法。

【請求項 5】 一導電型の半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の側面に第 1 の絶縁材料から成る第 1 の側壁を形成する工程と、前記第 1 の側壁を形成した後、前記半導体基板を真空中で熱処理して前記半導体基板の表面を清浄化する工程と、前記第 1 の側壁の外側の前記半導体基板の表面上に反対導電型の半導体層を形成する工程と、

2

前記第 1 の側壁の側面に第 2 の絶縁材料から成る第 2 の側壁を形成する工程と、前記第 2 の側壁の外側の前記半導体層に不純物を注入する工程と、前記第 2 の側壁の外側の前記半導体層に不純物を注入した後、前記半導体基板を熱処理して該半導体基板内の不純物を活性化する工程とを有する半導体装置の製造方法において、前記第 1 の絶縁材料には、窒素成分を必須成分として含むシリコン材料を用い、前記第 2 の絶縁材料には、酸化シリコンを用いることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体の製造方法において、前記第 1 の側壁の外側の前記半導体基板の表面上に反対導電型の半導体層を形成する前記工程は、前記第 1 の側壁の外側の前記半導体基板の表面上に同一導電型の半導体層および真性半導体層のうちのいずれかの半導体層を形成する前工程と、前記半導体層に不純物を注入して該半導体層を反対導電型とする後工程とから成ることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、MOS 型電界効果トランジスタ（以後、MOS 型 FET と呼ぶ）等の半導体装置の構造およびその製造方法に関し、特に、積み上げ構造を有する半導体装置の構造およびその製造方法に関する。

## 【0002】

【従来の技術】 この種の半導体装置においては、そのチャネル長が短くなるのに伴って、しきい値電圧が低下する問題（いわゆる短チャネル効果）がある。一般に、短チャネル効果を抑えるためには、ソース部およびドレイン部における不純物領域を浅くすることが有効である。例えば、チャネル長が  $0.1 \mu\text{m}$  以下の場合には、深さ  $0.05 \mu\text{m}$  程度以下の不純物領域を形成する必要がある。ところが、従来のイオン注入技術のみでは、 $0.05 \mu\text{m}$  程度以下のかかなり浅い不純物領域を形成することは困難である。これに対して、ソース・ドレイン部にシリコンを成長させて、LDD (Lightly Doped Drain) 構造の半導体装置を形成することによって実効的に不純物領域の深さを小さくする手段が提案されている。例えば、特開昭 63-263767 号公報や特開昭 63-287064 号公報には、LDD 構造の半導体装置が記載されている。特開昭 63-287064 号公報にはまた、LDD 構造を改良した構造である積み上げ構造や埋め込み構造の半導体装置も記載されている。

【0003】 図 4 (a) ~ (d) は、積み上げ構造を有する従来の半導体装置の製造方法の一例を示す工程図である。以下、図 4 (a) ~ (d) を参照して、この製造方法を説明する。

【0004】 まず、図 4 (a) に示すように、LOCOS 法等によって p 型シリコン基板 401 の一部にフィールド絶縁膜 402 を形成した後、この p 型シリコン基板 40

3

1の一部を熱酸化してゲート絶縁膜403を形成し、ゲート絶縁膜403上に多結晶シリコンから成るゲート電極404を形成し、さらに、ゲート電極404の周辺に酸化シリコン( $\text{SiO}_x$  ( $x>0$ ))から成る絶縁膜405を形成する。

【0005】次に、超高真空中で850℃程度の熱処理を行ってソースおよびドレインとなるp型シリコン基板401表面の自然酸化膜やその他の汚染物質を除去する。これに続いて、図4(b)に示すように、露出したp型シリコン基板401にシリコン層406を選択的にエピタキシャル成長させる。

【0006】次いで、図4(c)に示すように、シリコン層406に砒素イオンを注入し、さらに磷イオンを注入した後、図4(d)のように、熱処理を施して砒素と磷の拡散係数の差を利用して主に砒素を含む高濃度不純物領域407と、その下に主に磷を含む低濃度不純物領域408を形成する。高濃度不純物領域407は、低濃度不純物領域408よりも高濃度に不純物を含んでいる。

【0007】この後、図示はしないが、上部に層間絶縁膜を滞積し、不純物の活性化のために熱処理し、さらにコンタクト開口部を開け、バリアメタルとこの上に形成したシリコンを含むアルミニウムにより上部配線を形成することで、半導体装置が完成される。

【0008】

【発明が解決しようとする課題】以上説明した半導体装置において、低濃度不純物領域408の横方向の形成長(拡散長)は、ゲート電極404を覆う絶縁膜405の膜厚に対して、同じかあるいは長くする必要がある。これは、仮に、低濃度不純物領域408の形成端(拡散端)がゲート電極404(ゲート絶縁膜403)に覆われた下部領域にまで達さない場合、チャネルの両端に反転しない領域が形成されることになり、チャネル・コンダクタンスが著しく低下してしまうからである。一方、低濃度不純物領域408の深さ方向の拡散と横方向の拡散とは互いに同じ拡散度で進行するため、低濃度不純物領域408の横方向の拡散長を絶縁膜405の膜厚に対して同じかあるいは長くする場合には、低濃度不純物領域408の拡散深さはこれに見合う深さとなる。これらのことを換言すれば、低濃度不純物領域408の深さは、絶縁膜405の膜厚に依存するといえる。

【0009】他方、選択エピタキシャル成長の方法としては、超高真空気相成長法(UHV-CVD)が一般的であるが、この方法を用いる場合には、図4(b)に示したごとくp型シリコン基板401にシリコン層406を成長させる前に、p型シリコン基板401表面の自然酸化膜等を除去するために、超高真空中にて熱処理を行わなければならない。この際に、ゲート電極404を覆っている絶縁膜405が昇華しないためには、絶縁膜405を十分な膜厚にしなければならない。例えば、従来

4

より通常用いられている $\text{SiO}_2$ 膜の場合には、およそ50nm以上の膜厚が必要である。仮に、絶縁膜405の膜厚を50nm程度よりも薄くすると、超高真空中での加熱の際に、膜の一部または全部が昇華してしまう虞がある。

【0010】ここで、前述した事実を併せ考えると、低濃度不純物領域408の横方向の拡散長さは絶縁膜405の厚さ50nm以上に応じた長さよりも短くすることはできず、この結果、低濃度不純物領域408の深さも横方向の拡散長に見合った深さより浅くすることはできない。

【0011】以上説明したように、従来の半導体装置では、そのゲート電極を覆う絶縁膜の膜厚を十分に確保しなければならないという実情によって、ソース部およびドレイン部における低濃度不純物領域を浅くしようとしてもその層深さが制約され、ひいては短チャネル効果を抑止することが十分にできないという問題点がある。

【0012】本発明の課題は、短チャネル効果が十分に抑止された半導体装置を提供することである。

【0013】本発明の他の課題は、上記半導体装置を比較的簡単な製造工程で製造できる半導体装置の製造方法を提供することである。

【0014】

【課題を解決するための手段】本発明によれば、一導電型の半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、絶縁材料から成り前記ゲート電極の側面に形成された側壁と、前記側壁の外側の前記半導体基板の表面上に形成された反対導電型の半導体層とを含む半導体装置において、前記絶縁材料は、窒素成分を必須成分として含むシリコン材料であることを特徴とする半導体装置が得られる。

【0015】本発明によればまた、一導電型の半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、第1の絶縁材料から成り前記ゲート電極の側面に形成された第1の側壁と、前記第1の側壁の外側の前記半導体基板の表面上に形成された反対導電型の半導体層と、第2の絶縁材料から成り前記第1の側壁の側面に形成された第2の側壁と、少なくとも前記ゲート絶縁膜によって覆われる下部領域に接し、かつ、前記第2の側壁によって覆われる下部領域の途中にわたって形成された低濃度不純物領域と、前記低濃度不純物領域に接し、かつ、前記低濃度不純物領域の外側領域に形成され、前記低濃度不純物領域よりも高濃度の不純物を含む高濃度不純物領域とを含む半導体装置において、前記第1の絶縁材料は、窒素成分を必須成分として含むシリコン材料であり、前記第2の絶縁材料は、酸化シリコンである半導体装置が得られる。

【0016】本発明によればさらに、上記各半導体装置の製造方法が得られる。

【0017】

5

【実施例】以下、図面を参照して、本発明の実施例による半導体装置およびその製造方法を説明する。

【0018】【実施例1】図1(a)～(d)は、本発明の実施例1による半導体装置の製造方法を説明するための工程図である。

【0019】以下、製造方法の説明によって、半導体装置の構造をも説明する。

【0020】まず、図1(a)に示すように、LOCOS法等によってp型シリコン基板101の一部にフィールド絶縁膜102を形成した後、このp型シリコン基板101の一部を熱酸化してゲート絶縁膜103を形成し、ゲート絶縁膜103上に、多結晶シリコンのゲート電極材料と酸化シリコンの絶縁材料を被着形成した後にパターニングしてゲート電極104と絶縁膜105の積層構造を形成する。

【0021】次に、図1(b)に示すように、窒化シリコンから成る絶縁材料を気相成長法等によって10～50nm程度被着形成した後に異方性エッチングしてゲート電極104に接する側壁106を形成する。尚、側壁106を形成する絶縁材料としては、窒化シリコンに限らず、 $\text{SiO}_x\text{N}_y$ （ただし、 $0 \leq x \leq 2$ 、かつ  $0 < y$ ）等、窒素成分を必須成分として含むシリコン材料であればよい。このシリコン材料は、そのいわゆる昇華点が酸化シリコンよりも高い。

【0022】次に、超高真空中で850℃程度の熱処理を行ってソースおよびドレインとなるp型シリコン基板101表面の自然酸化膜やその他の汚染物質を除去する。尚、窒化シリコンを含め、窒素成分を必須成分とするシリコン材料は、いわゆる昇華点が酸化シリコンに比べて非常に高いため、側壁106の形成厚が10nm程度に薄くても、上記熱処理によって昇華してしまうことはない。

【0023】これに続いて、図1(c)に示すように、露出したシリコン基板にシリコン層107を100～300nm程度の膜厚で選択的にエピタキシャル成長させる。尚、本発明では、露出したシリコン基板に成長させるシリコン層として、予めシリコン基板と反対導電型のものを形成してもよい。この場合には、後述する不純物の注入工程は不要となる。

【0024】次に、図1(c)に示すように、シリコン層107に砒素イオンを注入し、さらに燐イオンを注入した後、図1(d)のように、熱処理を施して燐と砒素の拡散係数の差を利用して主に砒素を含む高濃度不純物領域108と、その下に主に燐を含む低濃度不純物領域109を形成する。高濃度不純物領域108は、低濃度不純物領域109よりも高濃度に不純物を含んでいる。

【0025】尚、実施例1では、シリコン層107の表面からゲート絶縁膜103の下までの領域に、高濃度不純物領域108と低濃度不純物領域109との二種類からなる不純物領域を形成するが、本発明では、例えば、

6

砒素イオンのみを注入後熱処理して高濃度不純物領域のみからなる不純物領域を形成してもよい。

【0026】この後、図示はしないが、上部に層間絶縁膜を滞積し、不純物の活性化のために熱処理し、さらにコンタクト開口部を開け、バリアメタルとこの上に形成したシリコンを含むアルミニウムにより上部配線を形成することで、本発明の実施例1による半導体装置が完成される。

【0027】また、実施例1による半導体装置は、nチャネルMOS型FETであるが、本発明によれば、pチャネルMOS型FETを製造することも可能であることはいうまでもない。

【0028】【実施例2】図2(a)～(d)および図3(a)～(c)は、本発明の実施例2による半導体装置の製造方法を説明するための工程図である。

【0029】以下、製造方法の説明によって、半導体装置の構造をも説明する。

【0030】まず、図2(a)に示すように、LOCOS法等によってp型シリコン基板201の一部にフィールド絶縁膜202を形成した後、このp型シリコン基板201の一部を熱酸化してゲート絶縁膜203を形成し、ゲート絶縁膜203上に、多結晶シリコンのゲート電極材料と酸化シリコンの絶縁材料を被着形成した後にパターニングしてゲート電極204と絶縁膜205の積層構造を形成する。

【0031】次に、図2(b)に示すように、窒化シリコンから成る第1の絶縁材料を気相成長法等によって10～50nm程度被着形成した後に異方性エッチングしてゲート電極204に接する第1の側壁206を形成する。尚、第1の側壁206を形成する第1の絶縁材料も、実施例1における側壁106と同様に、窒化シリコンに限らず、 $\text{SiO}_x\text{N}_y$ （ただし、 $0 \leq x \leq 2$ 、かつ  $0 < y$ ）等、窒素成分を必須成分として含むシリコン材料であればよい。

【0032】次に、超高真空中で850℃程度の熱処理を行ってソースおよびドレインとなるp型シリコン基板201表面の自然酸化膜やその他の汚染物質を除去する。尚、第1の側壁206も、窒化シリコンの昇華点が高いことにより、形成厚が10nm程度に薄くても、上記熱処理によって昇華してしまうことはない。これに続いて、図2(c)に示すように、露出したシリコン基板にシリコン層207を20～100nm程度の膜厚で選択的にエピタキシャル成長させる。尚、露出したシリコン基板に成長させるシリコン層207についても、実施例1と同様に、予めシリコン基板と反対導電型のものを形成してもよい。この場合には、後述する第1の不純物の注入工程は不要となる。

【0033】以上の工程は、実施例1と同じである。

【0034】次に、図2(d)に示すように、シリコン層207に第1の不純物としての燐イオンを $5 \times 10^{14}$

7

／cm<sup>2</sup> 以下注入する。

【0035】次に、図3(a)に示すように、第2の絶縁材料としての酸化シリコン(SiO<sub>2</sub>)を気相成長法等によって50～200nm程度被着形成した後に異方性エッチングして、第1の側壁206に接する第2の側壁208を形成する。尚、第2の絶縁材料としての酸化シリコンは、例えば、窒化シリコンに比べては勿論、シリコンに比べてもいわゆる剛性率が低いため、後述する熱処理を施した際に、酸化シリコンと窒化シリコンやシリコンとの間において各々の熱膨張係数差により生ずる歪みを吸収する。したがって、シリコン中の結晶欠陥の発生等が防止され、半導体装置としての信頼性に優れる。

【0036】次に、図2(b)に示すように、シリコン層207に第2の不純物としての砒素イオンを1×10<sup>15</sup>／cm<sup>2</sup>以上注入する。尚、本実施例では、第1の不純物として磷イオンを注入する一方、第2の不純物として砒素イオンを注入しているが、本発明では、第1および第2の不純物は、それぞれ磷イオンあるいは砒素イオンとは異なる物質でもよく、また、互いに同じ物質とする

ことも可能である。

【0037】次に、図3(c)に示すように、この工程体を熱処理し、主に磷を含んだ低濃度不純物領域210と、主に砒素を含んだ高濃度不純物領域209を形成する。高濃度不純物領域209は、低濃度不純物領域210よりも高濃度に不純物を含んでいる。

【0038】この後、図示はしないが、上部に層間絶縁膜を滞積し、不純物の活性化のために熱処理し、さらにコンタクト開口部を開け、バリアメタルとこの上に形成したシリコンを含むアルミニウムにより上部配線を形成することで、本発明の実施例2による半導体装置が完成される。

【0039】以上説明した実施例2においては、側壁が第1の側壁206と第2の側壁208との2段構造であるため、形成厚の薄い第1の側壁206によって不純物領域の深さを浅くできることは勿論、高濃度不純物領域209がゲート電極204から横方向に離れて形成されるので、シリコン層207を十分に薄くすることができる。よって、積み上げ構造に特有のゲート電極とソースおよびドレインとの間の寄生容量の増加を最小限に抑えることができ、半導体装置としての動作速度の高速化に有利である。また、比較的厚い第2の側壁208が低い剛性率を持つ酸化シリコンから成るため、熱処理の際の各部間の歪が吸収されてシリコン中の結晶欠陥の発生等が防止され、半導体装置としての信頼性に優れる。

【0040】尚、実施例2による半導体装置もnチャネルMOS型FETであるが、本発明によれば、pチャネ

8

ルMOS型FETを製造することも可能であることは勿論である。

【0041】

【発明の効果】本発明による半導体装置においては、選択エピタキシャル成長前に形成される側壁が酸化シリコン等よりもいわゆる昇華点の高い絶縁材料から成るため、側壁形成後結晶成長直前の熱処理の影響に拘らず側壁厚を薄くすることが可能になり、不純物領域の深さを例えば10～30nmときわめて浅くしてもその拡散端がチャネルに届く。したがって、電流駆動能力を犠牲にすることなく、短チャネル効果を抑えることができる。

【0042】また、側壁を2段構造とすれば、形成厚の薄い第1の側壁によって不純物領域の深さを浅くできることは勿論、高濃度不純物領域がゲート電極から横方向に離れて形成されるので、半導体層を十分に薄くすることができる。よって、積み上げ構造に特有のゲート電極とソースおよびドレインとの間の寄生容量の増加を最小限に抑えることができ、半導体装置としての動作速度の高速化に有利である。また、比較的厚い第2の側壁が低い剛性率を持つ酸化シリコンから成るため、熱処理の際の各部間の歪が吸収されてシリコン中の結晶欠陥の発生等が防止され、半導体装置としての信頼性に優れる。

【0043】さらに、本発明による半導体装置の製造方法によれば、短チャネル効果を十分に抑えた上記半導体装置を比較的簡単な製造工程で製造できる。

【図面の簡単な説明】

【図1】本発明の実施例1による半導体装置およびその製造方法を説明するための工程図である。

【図2】本発明の実施例2による半導体装置およびその製造方法を説明するための工程図である。

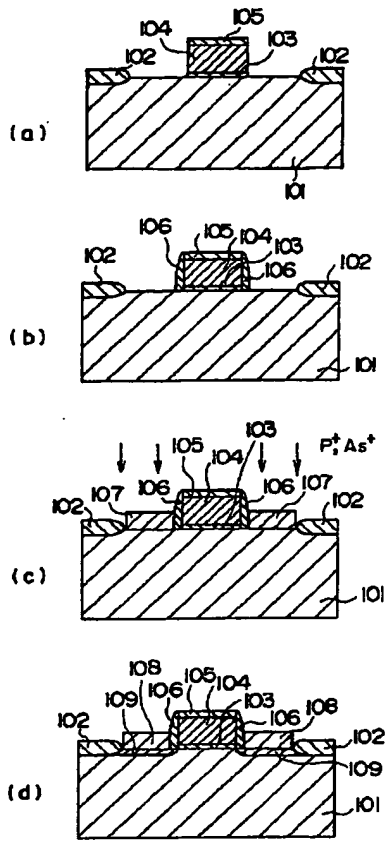
【図3】本発明の実施例2による半導体装置およびその製造方法を説明するための工程図である。

【図4】従来例による半導体装置およびその製造方法を説明するための工程図である。

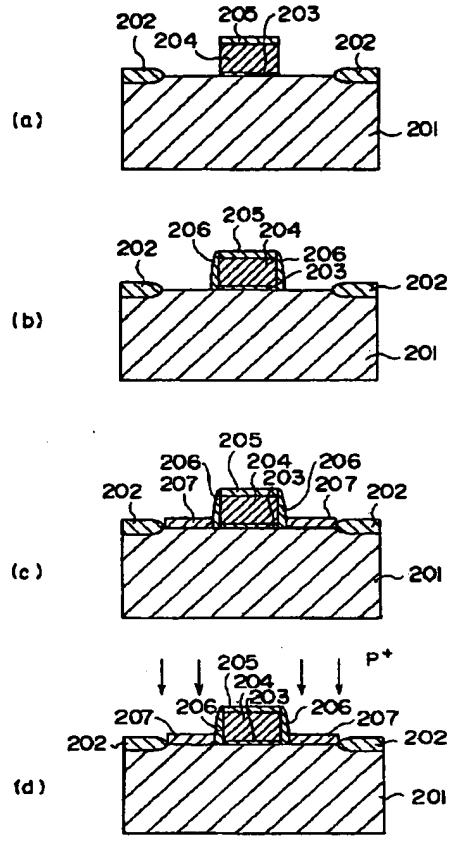
【符号の説明】

101、201、401	p型シリコン基板
102、202、402	フィールド絶縁膜
103、203、403	ゲート絶縁膜
104、204、404	ゲート電極
105、205、405	絶縁膜
106	側壁
206	第1の側壁
208	第2の側壁
107、207、406	シリコン層
108、209、407	高濃度不純物領域
109、210、408	低濃度不純物領域

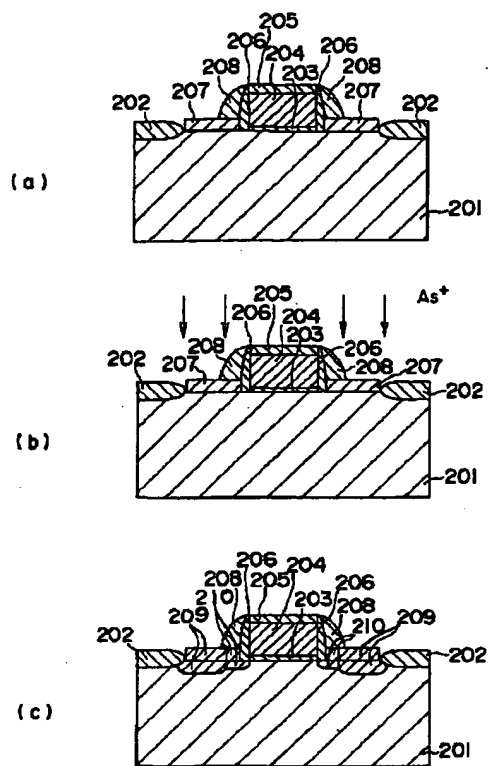
【図 1】



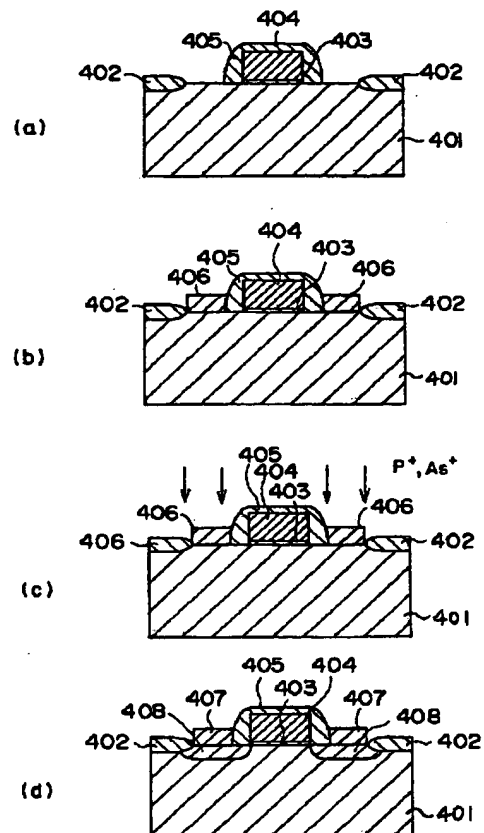
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

H 01 L 29/78

技術表示箇所

3 0 1 S